



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants:	Sung-Eun PARK et al.	Examiner:	Not Yet Assigned
Serial No:	10/776,364	Group Art Unit:	Not Yet Assigned
Filed:	February 11, 2004	Docket:	678-1346
For:	APPARATUS AND METHOD FOR REDUCING PEAK-TO- AVERAGE POWER RATIO IN AN ORTHOGONAL FREQUENCY DIVISION MULTIPLEXING SYSTEM	Dated:	March 10, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT

Sir:

Enclosed is a certified copy of Korean Appln. No. 2003/0009141 filed on February 13, 2003, from which priority is claimed under 35 U.S.C. §119.

Respectfully submitted,

Paul J. Farrell
Registration No. 33,494
Attorney for Applicants

DILWORTH & BARRESE, LLP
333 Earle Ovington Boulevard
Uniondale, New York 11553
(516) 228-8484

CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8 (a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, postpaid in an envelope, addressed to the: Commissioner of Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on March 10, 2004.

Dated: March 10, 2004

Paul J. Farrell



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0009141
Application Number

출원 년 월 일 : 2003년 02월 13일
Date of Application FEB 13, 2003

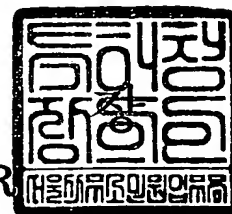
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 07 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.02.13
【국제특허분류】	H04B
【발명의 명칭】	직교주파수분할다중 시스템의 첨두대평균 전력비 저감을 위한 장치 및 방법
【발명의 영문명칭】	METHOD AND APPARATUS FOR REDUCING PEAK-TO-AVERAGE POWER RATIO IN ORTHOGONAL FREQUENCY DIVISION MULTIPLEXING SYSTEM
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이건주
【대리인코드】	9-1998-000339-8
【포괄위임등록번호】	2003-001449-1
【발명자】	
【성명의 국문표기】	박성은
【성명의 영문표기】	PARK, Sung-Eun
【주민등록번호】	741121-1030911
【우편번호】	442-380
【주소】	경기도 수원시 팔달구 원천동 원천삼성아파트 6동 606호
【국적】	KR
【발명자】	
【성명의 국문표기】	김재열
【성명의 영문표기】	KIM, Jae-Yoel
【주민등록번호】	700219-1047637
【우편번호】	435-042
【주소】	경기도 군포시 산본2동 산본9단지 백두아파트 960동 1401호
【국적】	KR

【발명자】

【성명의 국문표기】

정대권

【성명의 영문표기】

JUNG, Dae-Kwon

【주민등록번호】

710910-1919210

【우편번호】

442-740

【주소】

경기도 수원시 팔달구 영통동 황골마을 149동 1001호

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
이건주 (인)

【수수료】

【기본출원료】

20 면 29,000 원

【가산출원료】

13 면 13,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

0 항 0 원

【합계】

42,000 원

【요약서】**【요약】**

본 발명은 직교주파수분할다중 시스템에서 입력 신호블럭을 복수의 마스크 시퀀스들로 마스킹한 후 역 고속 푸리에 변환한 결과들 중 최소의 침투대평균 전력 비를 가지는 결과를 선택하는 송신기 및 그 송신방법에 대한 것이다. 상기 송신기는 상기 입력 신호블럭을 역 고속 푸리에 변환하여 역 고속 푸리에 변환(IFFT)된 시퀀스를 출력하는 하나의 역 고속 푸리에 변환기와, 상기 역 고속 푸리에 변환된 시퀀스의 비트들을 각각 저장하고 순환 쉬프트시키면서 출력하는 쉬프트 레지스터들과, 상기 마스크 시퀀스들 각각에 대하여, 해당하는 마스크 시퀀스에 따라 정해지는 계수들을 상기 쉬프트 레지스터들로부터 출력되는 비트들에 각각 곱하는 복수의 곱셈기 그룹들과, 상기 복수의 곱셈기 그룹들로부터의 곱셈결과들을 합산하여 출력하는 상기 복수의 곱셈기 그룹들 각각에 대응하는 복수의 합산기들을 포함하여 구성되어, 시스템의 복잡도와 구현 비용을 줄일 수 있다.

【대표도】

도 2

【색인어】

OFDM, SLM, PAPR, IFFT

【명세서】**【발명의 명칭】**

직교주파수분할다중 시스템의 첨두대평균 전력비 저감을 위한 장치 및 방법{METHOD AND APPARATUS FOR REDUCING PEAK-TO-AVERAGE POWER RATIO IN ORTHOGONAL FREQUENCY DIVISION MULTIPLEXING SYSTEM}

【도면의 간단한 설명】

도 1은 통상적인 SLM 방식을 사용하는 OFDM 통신 시스템의 송신기 구조.

도 2는 본 발명에 따른 OFDM 통신 시스템의 송신기 구조를 나타낸 도면.

도 3은 상기 도 2에서 마스크 연산 수행기의 상세 구성을 나타낸 도면.

도 4는 본 발명의 간단화된 예에 따라 구성된 마스크 연산 수행기의 구성을 나타낸 도면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 직교주파수분할다중(Orthogonal Frequency Division Multiplexing: 이하 OFDM이라 칭한다) 통신 시스템에 대한 것으로서, 특히 첨두대평균 전력비(Peak-to-Average Power Ratio: 이하 PAPR이라 칭한다)를 저감시키기 위하여 선택적 매핑(Selected Mapping: 이하 SLM이라 칭한다)을 이용하는 경우 시스템 복잡도를 감소시키기 위한 장치 및 방법에 관한 것이다.

- <6> OFDM 통신 시스템은 서로 직교인 반송파를 갖는 다수의 부대역(subband) 주파수들에 전송하고자 하는 신호를 실어 전송함으로써 가용 주파수 대역을 최대한 이용할 뿐만 아니라 페이딩에 의하여 발생할 수 있는 연접오류(burst error)에도 매우 효과적인 디지털 신호전송기법이다. OFDM 방식에서는 주파수 선택적 페이딩을 각 부채널의 관점에서는 주파수 비선택적 채널로 근사화시킬 수 있으므로, 간단한 주파수 영역 단일탭 등화기를 사용하여 심각한 주파수 선택적 페이딩을 쉽게 보상할 수 있다. 또한, 인접한 심벌 블럭 사이에 다중경로 채널의 지연 확산보다 긴 사이클릭 프리픽스(cyclic prefix)를 보호구간으로 삽입하여 인접 블럭간 간섭과 채널간 간섭을 제거할 수 있으며, 역 고속 푸리에 변환기(Inverse Fast Fourier Transformer: 이하 IFFT라 칭한다)와 푸리에 변환기(FFT)를 사용하여 고속 데이터 전송에 적합하다.
- <7> OFDM 방식에서 부대역 신호는 IFFT에 의하여 변조되므로 부대역의 수가 증가됨에 따라 변조된 신호의 진폭은 중심제한원리(central limit theorem)에 의하여 가우시안 확률분포로 나타난다. 따라서 송신 신호의 PAPR이 매우 큰 특성을 갖게 되어, 무선 통신 환경에서 충분한 송신 전력을 확보하기 위해 사용되는 고출력 증폭기의 비선형 포화특성으로 인해 단일 반송파 전송 방식보다 심각한 비선형 왜곡이 발생하는 큰 단점이 있다. 이는 OFDM 방식의 성능을 제한하는 매우 중요한 요소 가운데 하나이며, 상기 문제점을 해결하기 위하여 여러 가지 방안들이 제안되고 활발히 연구되고 있다.
- <8> 선택적 매핑(SLM)은 PAPR 저감을 위해 제안된 방안 중에 하나로서, 동일한 입력 정보 비트를 표현하는 U 개의 상호 독립적인 정보 수열들을 생성하여, 상기 U 개의 정보 수열들중에 가장 낮은 PAPR을 갖는 수열을 선택하여 전송하는 방식이다. 상기 U 개의 전송 수열들은 길이가 N 인 U 개의 마스크 시퀀스들을 입력 정보 비트에 곱하여 발생시킨다. 상기 SLM 방식은 데이터 전송률을 유지할 수 있는 장점이 있으나, 위상 수열의 개수 U 가 증가함에 따라 PAPR 최적화를 위한

계산량이 급격히 증가하며, 송신 시간의 지연을 방지하기 위하여 U 개의 IFFT를 병렬로 사용하므로 송신기의 복잡도가 증가하게 되는 단점이 있다.

- <9> 도 1은 통상적인 SLM 방식을 사용하는 OFDM 통신 시스템의 송신기 구조를 도시한 것이다.
- <10> 상기 도 1을 참조하면, 정보 비트는 이진 신호로서 채널 부호기(Channel Encoder) 100의 입력으로 인가된다. 상기 채널 부호기 100은 입력된 상기 정보 비트를 부호화하여 부호화 심볼들을 출력하고, 상기 부호화 심볼들은 매퍼(Mapper) 110의 입력으로 인가된다. 상기 매퍼 110은 상기 입력받은 부호화 심볼들을 신호 성상도 위의 한 신호에 매핑시킨다. 상기 매핑된 출력 신호는 IFFT 140의 입력 크기 N 에 따라 N 개의 신호들이 모여 하나의 신호 블럭을 형성한다. 상기 신호 블럭은 U 개의 가지들로 분기되어 곱셈기들 130, 132, 134에 각각의 입력으로 인가된다. 또한 마스크 생성기 120은 길이가 N 인 U 개의 상호 독립적인 마스크 시퀀스들 M_1, M_2, \dots, M_U 를 생성하여 상기 곱셈기들 130, 132, 134에 각각 입력으로 인가한다.
- <11> 상기 곱셈기들 130, 132, 134는 상기 신호 블럭들과 상기 마스크 시퀀스들 M_1, M_2, \dots, M_U 를 각각의 입력으로 하고, 상기 두 입력들의 원소별 곱셈을 수행한다. 상기 곱셈기들 130, 132, 134의 출력들은 상기 IFFT들 140, 142, 144에 의해 각각 역 고속 푸리에 변환이 수행됨으로써 신호열들 S_1, S_2, \dots, S_U 로 각각 변환한다. 그러면 선택기 150은 상기 신호열들 S_1, S_2, \dots, S_U 를 입력으로 받아서 해당하는 PAPR을 각각 계산하고, PAPR이 가장 작은 신호열을 선택하여 송신 신호로서 전송한다.
- <12> 상기 SLM 방식은 동일한 정보 비트로부터 생성된 U 개의 신호 블럭들 중 PAPR이 가장 작은 신호 블럭을 선택하여 전송함으로써 PAPR을 효과적으로 줄일 수 있으며, 신호 블럭들의 개수 U 가 커질수록 PAPR 저감 효과는 더욱 커진다. 하지만 상기 도 1에 상술한 바와 같이, 상기 SLM 방식

은 송신 시간의 지연을 방지하기 위하여 U 개의 IFFT들을 병렬로 사용하므로 신호 블록들의 개수 U 가 커질수록 송신기 시스템의 복잡도와 제조비용이 크게 증가한다는 단점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <13> 따라서 상기한 바와 같이 동작되는 종래 기술의 문제점을 해결하기 위하여 창안된 본 발명은, SLM 방식을 사용하는 OFDM 통신 시스템에서 시스템 복잡도와 제조비용을 감소시키기 위한 장치 및 방법을 제공한다.
- <14> 본 발명은, SLM 방식을 사용하는 OFDM 통신 시스템에서 PAPR을 저감시키는데 필요한 IFFT의 개수를 감소시키는 장치 및 방법을 제공한다.
- <15> 또한 본 발명은, SLM 방식을 사용하는 OFDM 통신 시스템에서 하나의 IFFT를 공유하여 PAPR을 저감시키는 장치 및 방법을 제공한다.
- <16> 상기한 바와 같은 목적을 달성하기 위하여 창안된 본 발명의 실시예는, 입력 신호블록을 복수의 마스크 시퀀스들로 마스킹한 후 역 고속 푸리에 변환한 복수의 결과들 중 최소의 첨두 대평균 전력 비를 가지는 결과를 선택하는 직교주파수분할다중화(OFDM) 통신 시스템의 송신기에 있어서,
- <17> 상기 입력 신호블록을 역 고속 푸리에 변환하여 역 고속 푸리에 변환(IFFT)된 시퀀스를 출력하는 하나의 역 고속 푸리에 변환기와, 상기 역 고속 푸리에 변환된 시퀀스의 비트들을 각각 저장하고 순환 쉬프트시키면서 출력하는 쉬프트 레지스터들과, 상기 마스크 시퀀스들 각각에 대하여, 해당하는 마스크 시퀀스에 따라 정해지는 계수들을 상기 쉬프트 레지스터들로부터 출력되는 비트들에 각각 곱하는 복수의 곱셈기 그룹들과, 상기 복수의 곱셈기 그룹들로부터의

곱셈결과들을 합산하여 출력하는 상기 복수의 곱셈기 그룹들 각각에 대응하는 복수의 합산기들을 포함하여 구성된다.

- <18> 본 발명의 다른 실시예는, 입력 신호블럭을 복수의 마스크 시퀀스들로 마스킹한 후 역 고속 푸리에 변환한 복수의 결과들 중 최소의 침투대평균 전력 비를 가지는 결과를 선택하는 직교주파수분할다중화(OFDM) 통신 시스템의 송신 방법에 있어서,
- <19> 상기 입력 신호블럭을 역 고속 푸리에 변환하여 역 고속 푸리에 변환(IFFT)된 시퀀스를 출력하는 과정과, 상기 마스크 시퀀스들 각각에 대하여, 해당하는 마스크 시퀀스에 따라 정해지는 계수들을 상기 역 고속 푸리에 변환된 시퀀스의 비트들에 각각 곱하고, 상기 곱셈결과들을 합산하는 과정과, 상기 역 고속 푸리에 변환된 비트들을 순환 쉬프트시키면서 상기 곱하고 합산하는 과정을 반복하는 과정을 포함하여 구성된다.

【발명의 구성 및 작용】

- <20> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대한 동작 원리를 상세히 설명한다. 하기에서 본 발명을 설명함에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

- <21> 후술되는 본 발명은 직교주파수분할다중(Orthogonal Frequency Division Multiplexing: 이하 OFDM이라 칭한다) 통신시스템에서 쉬프트 레지스터들을 이용하여 하나의 역 고속 푸리에 변환기(Inverse Fast Fourier Transformer: IFFT)만으로 선택적 매핑(Selected Mapping: 이하 SLM이라 칭한다) 방식을 구현함으로써 첨두대평균 전력비(Peak-to-Average Power Ratio: 이하 PAPR이라 칭한다)를 저감하는 것이다.
- <22> 도 2는 본 발명에 따른 OFDM 통신 시스템의 송신기 구조를 나타낸 도면이다.
- <23> 상기 도 2를 참조하면, 정보 비트는 이진 신호로서 채널 부호기 200의 입력으로 인가된다. 상기 채널 부호기 200은 상기 정보 비트를 부호화하여 부호화 심볼들을 출력하고, 상기 부호화 심볼들은 매퍼(Mapper) 210의 입력으로 인가된다. 상기 매퍼 210은 상기 입력받은 부호화 심볼들을 신호 성상도 위의 신호에 매핑시킨다. 상기 매핑된 신호는 IFFT 220의 입력 크기 N 에 따라 N 개의 신호들이 모여 하나의 신호 블럭을 형성한다.
- <24> 상기 IFFT 220은 상기 신호 블럭을 입력으로 하여 역 고속 푸리에 변환을 수행하고 그 결과로서 생성된 시퀀스를 마스크 연산 수행기(Mask Operator) 240에 인가한다. 상기 마스크 연산 수행기 240은 마스크 생성기 230에 의해 생성된 U 개의 마스크 시퀀스들 M_1, M_2, \dots, M_U 에 대한 정보를 받아서 상기 IFFT 220으로부터 입력된 시퀀스에 대하여 마스크 연산을 수행하고, 그 결과로서 생성된 신호열들 S_1, S_2, \dots, S_U 를 출력한다. 선택기 250은 상기 마스크 연산 수행기 240로부터의 출력 신호열들 S_1, S_2, \dots, S_U 를 입력으로 받아서 각각 PAPR을 계산하고, 상기 계산 결과 PAPR이 가장 작은 신호열을 선택하여 송신 신호로서 전송한다.
- <25> 상기와 같이 구성되는 본 발명에 따른 OFDM 송신기에 있어서, 상기 마스크 연산 수행기 240은 상기 출력 신호열들 S_1, S_2, \dots, S_U 이 상기 도 1의 IFFT들 140, 142, 144의 출력 신호열들과 각각 일치하도록 설계되어야 한다. 따라서 상기 마스크 연산 수행기 240의 보다 상세한

구조와 동작을 설명하기에 앞서, 상기 도 1의 곱셈기 130에 의한 마스크 연산과 IFFT 140에 의한 동작을 행렬과 벡터의 개념을 사용하여 설명하면 하기와 같다.

<26> 상기 도 1에서 매퍼 110으로부터 출력되는 크기 N의 신호블럭 X는 하기의 <수학식 1>과 같이 나타낸다.

<27> 【수학식 1】 $X = (x_0, x_1, x_2, x_3, \dots, x_{N-1})^T$

<28> 여기에서 A^T 는 행렬 A의 전치행렬을 나타낸다.

<29> 그러면 상기 도 1에서 상기 신호블럭 X에 곱해지기 위하여 마스크 생성기 120으로부터 출력되는 i번째 마스크 시퀀스 M_i 는 하기의 <수학식 2>와 같은 대각행렬의 형태로 표현될 수 있다.

<30>

$$M_i = \begin{bmatrix} m_{i,0} & 0 & 0 & 0 & \dots & 0 \\ 0 & m_{i,1} & 0 & 0 & \dots & 0 \\ 0 & 0 & m_{i,2} & 0 & \dots & 0 \\ 0 & 0 & 0 & m_{i,3} & \dots & 0 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & 0 & \dots & m_{i,N-1} \end{bmatrix}$$

【수학식 2】

<31> 또한 통신 기술 분야에서 알려진 푸리에 변환기술에 따르면, $W = e^{j(2\pi/N)}$ 로 정의할 때 IFFT 행렬 Q^{-1} 과 FFT 행렬 Q는 하기의 <수학식 3>과 같이 나타낼 수 있다.

<32>

$$Q^{-1} = \frac{1}{N} \begin{bmatrix} W^{0 \cdot 0} & W^{0 \cdot 1} & W^{0 \cdot 2} & W^{0 \cdot 3} & \dots & W^{0 \cdot (N-1)} \\ W^{1 \cdot 0} & W^{1 \cdot 1} & W^{1 \cdot 2} & W^{1 \cdot 3} & \dots & W^{1 \cdot (N-1)} \\ W^{2 \cdot 0} & W^{2 \cdot 1} & W^{2 \cdot 2} & W^{2 \cdot 3} & \dots & W^{2 \cdot (N-1)} \\ W^{3 \cdot 0} & W^{3 \cdot 1} & W^{3 \cdot 2} & W^{3 \cdot 3} & \dots & W^{3 \cdot (N-1)} \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ W^{(N-1) \cdot 0} & W^{(N-1) \cdot 1} & W^{(N-1) \cdot 2} & W^{(N-1) \cdot 3} & \dots & W^{(N-1) \cdot (N-1)} \end{bmatrix}$$

【수학식 3】

<33>

$$Q = \begin{bmatrix} W^{0 \cdot 0} & W^{0 \cdot 1} & W^{0 \cdot 2} & W^{0 \cdot 3} & \dots & W^{0 \cdot (N-1)} \\ W^{1 \cdot 0} & W^{1 \cdot 1} & W^{1 \cdot 2} & W^{1 \cdot 3} & \dots & W^{1 \cdot (N-1)} \\ W^{2 \cdot 0} & W^{2 \cdot 1} & W^{2 \cdot 2} & W^{2 \cdot 3} & \dots & W^{2 \cdot (N-1)} \\ W^{3 \cdot 0} & W^{3 \cdot 1} & W^{3 \cdot 2} & W^{3 \cdot 3} & \dots & W^{3 \cdot (N-1)} \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ W^{(N-1) \cdot 0} & W^{(N-1) \cdot 1} & W^{(N-1) \cdot 2} & W^{(N-1) \cdot 3} & \dots & W^{(N-1) \cdot (N-1)} \end{bmatrix}$$

<34> 그러면 M_i 에 의한 i 번째 IFFT의 출력 신호열 $S_i = [s_0 \ s_1 \ s_2 \ s_3 \ \dots \ s_{N-1}]^T$ 는 하기의 <수학식 4> 같은 행렬로 나타내어진다.

<35> 【수학식 4】 $S_i = Q^{-1} \cdot M \cdot X$

<36> 이하에서는 설명의 편의를 위하여 아래첨자 i 를 생략하고 단순히 M 과 S 로 표시한다. 그러면 상기 <수학식 4>는 하기의 <수학식 5>와 같이 다시 작성될 수 있다.

<37>
$$\begin{aligned} S &= Q^{-1} \cdot M \cdot X \\ &= Q^{-1} \cdot M \cdot (Q \cdot Q^{-1}) \cdot X \\ \text{【수학식 5】} \quad &= (Q^{-1} \cdot M \cdot Q) \cdot Q^{-1} \cdot X \end{aligned}$$

<38> 상기 <수학식 5>에서 행렬 $(Q^{-1} \cdot M \cdot Q)$ 을 구하기 위하여, 먼저 하기의 <수학식 6>과 같은 2개의 벡터들 W_p 와 m 을 정의한다.

<39> 【수학식 6】 $W_p = (W^{p \cdot 0}, W^{p \cdot 1}, W^{p \cdot 2}, W^{p \cdot 3}, \dots, W^{p \cdot (N-1)})$

<40> $m = (m_0, m_1, m_2, m_3, \dots, m_{N-1})$

<41> 또한 두 벡터의 원소별 곱 $x \cdot y$ 와 내적 $\langle x, y \rangle$ 을 각각 하기의 <수학식 7>과 같이 정의한다.

<42> 【수학식 7】 $x \cdot y \equiv (x_0 \cdot y_0, x_1 \cdot y_1, x_2 \cdot y_2, x_3 \cdot y_3, \dots, x_{N-1} \cdot y_{N-1})$

<43> $\langle x, y \rangle \equiv \sum_{n=0}^{N-1} x_n \cdot y_n$

<44> 그러면 상기 <수학식 7>의 정의에 의하여 하기의 <수학식 8>와 같은 관계가 성립한다.

<45>
$$\begin{aligned} W_p \cdot W_q &= (W^{p \cdot 0}, W^{p \cdot 1}, W^{p \cdot 2}, \dots, W^{p \cdot (N-1)}) \cdot (W^{q \cdot 0}, W^{q \cdot 1}, W^{q \cdot 2}, \dots, W^{q \cdot (N-1)}) \\ &= (W^{p \cdot 0} \cdot W^{q \cdot 0}, W^{p \cdot 1} \cdot W^{q \cdot 1}, W^{p \cdot 2} \cdot W^{q \cdot 2}, \dots, W^{p \cdot (N-1)} \cdot W^{q \cdot (N-1)}) \\ &= (W^{(p+q) \cdot 0}, W^{(p+q) \cdot 1}, W^{(p+q) \cdot 2}, \dots, W^{(p+q) \cdot (N-1)}) \\ \text{【수학식 8】} \quad &= W_{(p+q)} \end{aligned}$$

<46> $\langle x \cdot z, y \rangle = \sum_{n=0}^{N-1} (x_n \cdot z_n) \cdot y_n = \sum_{n=0}^{N-1} x_n \cdot (z_n \cdot y_n) = \langle x, z \cdot y \rangle$

<47> 이제 $C=Q^{-1} \cdot M \cdot Q$ 라 정의하고 상기 정의된 개념들을 사용하여 상기 행렬 C 를 정리하면 하기의 <수학식 9>과 같다.

$$<48> \quad C = Q^{-1} \cdot M \cdot Q$$

【수학식 9】

$$<49> \quad = \frac{1}{N} \begin{bmatrix} W_0 \\ W_1 \\ W_2 \\ W_3 \\ \vdots \\ W_{(N-1)} \end{bmatrix} \cdot \begin{bmatrix} m_0 & 0 & 0 & 0 & \cdots & 0 \\ 0 & m_1 & 0 & 0 & \cdots & 0 \\ 0 & 0 & m_2 & 0 & \cdots & 0 \\ 0 & 0 & 0 & m_3 & \cdots & 0 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & 0 & 0 & \cdots & m_{N-1} \end{bmatrix} \cdot [W_0^T \ W_{-1}^T \ W_{-2}^T \ W_{-3}^T \ \cdots \ W_{-(N-1)}^T]$$

$$<50> \quad = \frac{1}{N} \begin{bmatrix} m \cdot W_0 \\ m \cdot W_1 \\ m \cdot W_2 \\ m \cdot W_3 \\ \vdots \\ m \cdot W_{(N-1)} \end{bmatrix} \cdot [W_0^T \ W_{-1}^T \ W_{-2}^T \ W_{-3}^T \ \cdots \ W_{-(N-1)}^T]$$

$$<51> \quad = \frac{1}{N} \begin{bmatrix} \langle m \cdot W_0, W_0 \rangle & \langle m \cdot W_0, W_{-1} \rangle & \langle m \cdot W_0, W_{-2} \rangle & \cdots & \langle m \cdot W_0, W_{-(N-1)} \rangle \\ \langle m \cdot W_1, W_0 \rangle & \langle m \cdot W_1, W_{-1} \rangle & \langle m \cdot W_1, W_{-2} \rangle & \cdots & \langle m \cdot W_1, W_{-(N-1)} \rangle \\ \langle m \cdot W_2, W_0 \rangle & \langle m \cdot W_2, W_{-1} \rangle & \langle m \cdot W_2, W_{-2} \rangle & \cdots & \langle m \cdot W_2, W_{-(N-1)} \rangle \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \langle m \cdot W_{(N-1)}, W_0 \rangle & \langle m \cdot W_{(N-1)}, W_{-1} \rangle & \langle m \cdot W_{(N-1)}, W_{-2} \rangle & \cdots & \langle m \cdot W_{(N-1)}, W_{-(N-1)} \rangle \end{bmatrix}$$

$$<52> \quad = \frac{1}{N} \begin{bmatrix} \langle m, W_0 \cdot W_0 \rangle & \langle m, W_0 \cdot W_{-1} \rangle & \langle m, W_0 \cdot W_{-2} \rangle & \cdots & \langle m, W_0 \cdot W_{-(N-1)} \rangle \\ \langle m, W_1 \cdot W_0 \rangle & \langle m, W_1 \cdot W_{-1} \rangle & \langle m, W_1 \cdot W_{-2} \rangle & \cdots & \langle m, W_1 \cdot W_{-(N-1)} \rangle \\ \langle m, W_2 \cdot W_0 \rangle & \langle m, W_2 \cdot W_{-1} \rangle & \langle m, W_2 \cdot W_{-2} \rangle & \cdots & \langle m, W_2 \cdot W_{-(N-1)} \rangle \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \langle m, W_{(N-1)} \cdot W_0 \rangle & \langle m, W_{(N-1)} \cdot W_{-1} \rangle & \langle m, W_{(N-1)} \cdot W_{-2} \rangle & \cdots & \langle m, W_{(N-1)} \cdot W_{-(N-1)} \rangle \end{bmatrix}$$

$$<53> \quad = \frac{1}{N} \begin{bmatrix} \langle m, W_0 \rangle & \langle m, W_{-1} \rangle & \langle m, W_{-2} \rangle & \cdots & \langle m, W_{-(N-1)} \rangle \\ \langle m, W_1 \rangle & \langle m, W_0 \rangle & \langle m, W_{-1} \rangle & \cdots & \langle m, W_{-(N-2)} \rangle \\ \langle m, W_2 \rangle & \langle m, W_1 \rangle & \langle m, W_0 \rangle & \cdots & \langle m, W_{-(N-3)} \rangle \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \langle m, W_{(N-1)} \rangle & \langle m, W_{(N-2)} \rangle & \langle m, W_{(N-3)} \rangle & \cdots & \langle m, W_0 \rangle \end{bmatrix}$$

$$<54> \quad \cap = \frac{1}{N} \begin{bmatrix} \langle m, W_0 \rangle & \langle m, W_{(N-1)} \rangle & \langle m, W_{(N-2)} \rangle & \cdots & \langle m, W_1 \rangle \\ \langle m, W_1 \rangle & \langle m, W_0 \rangle & \langle m, W_{(N-1)} \rangle & \cdots & \langle m, W_2 \rangle \\ \langle m, W_2 \rangle & \langle m, W_1 \rangle & \langle m, W_0 \rangle & \cdots & \langle m, W_3 \rangle \\ \vdots & \vdots & \vdots & \ddots & \vdots \\ \langle m, W_{(N-1)} \rangle & \langle m, W_{(N-2)} \rangle & \langle m, W_{(N-3)} \rangle & \cdots & \langle m, W_0 \rangle \end{bmatrix}$$

<55> 상기 <수학식 9>에서 $c_i = \frac{1}{N} \langle m, W_i \rangle$ 이라고 하면 상기 행렬 C는 하기의 <수학식 10>에 나타낸 바와 같이 순환행렬이 됨을 알 수 있다.

<56>

$$C = \begin{bmatrix} c_0 & c_{N-1} & c_{N-2} & c_{N-3} & c_{N-4} & \cdots & c_1 \\ c_1 & c_0 & c_{N-1} & c_{N-2} & c_{N-3} & \cdots & c_2 \\ c_2 & c_1 & c_0 & c_{N-1} & c_{N-2} & \cdots & c_3 \\ c_3 & c_2 & c_1 & c_0 & c_{N-1} & \cdots & c_4 \\ c_4 & c_3 & c_2 & c_1 & c_0 & \cdots & c_5 \\ \vdots & \vdots & \vdots & \vdots & \vdots & \ddots & \vdots \\ c_{N-1} & c_{N-2} & c_{N-3} & c_{N-4} & c_{N-5} & \cdots & c_0 \end{bmatrix}$$

【수학식 10】

<57> 이상에서 나타낸 유도과정을 요약하면 하기의 <수학식 11>와 같이 표현할 수 있다.

<58> 【수학식 11】 $S = Q^{-1} \cdot M \cdot X = C \cdot Q^{-1} \cdot X$

<59> 상기 <수학식 11>에 의해, 상기 도 2의 마스크 연산 수행기 240에서 수행하여야 할 마스크 연산은 상기 행렬 C로 정의된다. 즉, 도 1에서 신호블럭 X에 마스크 시퀀스 M을 곱한 후 IFFT Q^{-1} 을 통과시킨 결과는, 도 2에서 신호블럭 X를 먼저 상기 IFFT 220 Q^{-1} 을 통과시킨 후 상기 마스크 연산 수행기 240에 의해 상기 행렬 C로 표현되는 마스크 연산을 수행한 결과와 일치한다. 이하 상기 행렬 C를 마스크 연산 행렬이라 칭하기로 한다.

<60> 상기 마스크 생성기 230으로부터 생성되는 마스크 시퀀스들 M_1, M_2, \dots, M_U 는 송신기와 수신기 사이에 미리 약속되어 있으며 통신이 초기화된 이후에는 변하지 않으므로, 상기 마스크 연산 수행기 240의 마스크 연산에 필요한 N개의 계수들 c_0, c_1, \dots, c_{N-1} 은 상기 마스크 시퀀스들 M_1, M_2, \dots, M_U 에 따라 통신의 초기화시에 단 1회의 연산만으로 정해지며, 통신 도중에 추가적인 연산을 필요로 하지 않는다. 즉, n번째 계수 c_n 는 하기의 <수학식 12>과 같이 정해진다.

<61> 【수학식 12】 $c_n = \frac{1}{N} \langle m, W_n \rangle = \frac{1}{N} \sum_{i=0}^{N-1} m_i \cdot e^{j(2\pi/N) \cdot i \cdot n}$

- <62> 또한 상기 마스크 연산 행렬 C가 순환행렬임을 이용하면, 상기 마스크 연산 수행기 240은 상기 마스크 연산 행렬 C의 첫 번째 행의 원소들로 설정된 쉬프트 레지스터들을 이용하여 간단히 구성될 수 있다. 본 발명에 따라 구현된 상기 마스크 연산 수행기 240의 상세 구조를 도 3에 나타내었으며, 상기와 같이 구성되는 마스크 연산 수행기 240의 구성과 작용에 대해 상세히 설명하면 하기와 같다.
- <63> 상기 도 3을 참조하면, 상기 마스크 연산 수행기 240은 크기 N인 입력 시퀀스의 각 비트들을 저장하기 위해 N개의 쉬프트 레지스터들 260, 262, 264, 266, 268로 구성된 쉬프트 레지스터 그룹 294와, U번의 마스크 연산을 위해 각각 N개의 곱셈기들 270, 272, 274, 276, 278, 280, 282, 284, 286, 288로 구성되는 U개의 곱셈기 그룹들 296, 298 및 U번의 마스크 연산을 위한 U개의 합산기들 290, 292로 구성되어 있다.
- <64> 상기 매퍼 210으로부터의 출력 신호블럭 $X=(x_0, x_1, x_2, x_3, \dots, x_{N-1})^T$ 가 상기 IFFT 220을 통과한 시퀀스 A은 하기의 <수학식 13>와 같이 표시한다.
- <65> **【수학식 13】** $A=Q^{-1}X=(a_0, a_1, a_2, a_3, \dots, a_{N-1})^T$
- <66> 상기 쉬프트 레지스터들 260, 262, 264, 266, 268은 각각 상기 입력 시퀀스 A의 각 비트들 $a_0, a_1, a_2, a_3, \dots, a_{N-1}$ 로 초기화 된다. 여기서 마스크 시퀀스 M_1 에 대한 상기 마스크 연산 수행기 240의 출력 시퀀스를 $S_1=(s_{1,0}, s_{1,1}, s_{1,2}, s_{1,3}, \dots, s_{1,N-1})^T$ 라 하면, 각각의 입력에 대하여 마스크 시퀀스 M_1 에 대한 마스크 연산 수행기 240의 행렬 표현은 하기의 <수학식 14>와 같이 나타낼 수 있고, 상기 곱셈기들 270, 272, 274, 276, 278은 C_1 의 첫 번째 행의 값들 $c_{1,0}, c_{1,N-1}, c_{1,N-2}, c_{1,N-3}, \dots, c_{1,1}$ 을 각각 곱하여 출력한다. 상기 마스크 연산 수행기 240은 하나의 입력 시퀀스 A에 대하여 N개의 단계(stage)로 동작한다.

<67> 【수학식 14】 $C_1 = Q^{-1} M_1 Q$

<68> 상기 마스크 연산 수행기 240의 첫 번째 곱셈기 그룹 296과 첫 번째 합산기 290에서 상기 S_1 을 생성하는 동작을 설명하면 하기와 같다.

<69> 먼저, 상기 쉬프트 레지스터 260의 값 a_0 은 상기 곱셈기 270에서 $c_{1,0}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 262의 값 a_1 은 상기 곱셈기 272에서 $c_{1,N-1}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 264의 값 a_2 는 상기 곱셈기 274에서 $c_{1,N-2}$ 와 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 266의 값 a_3 은 상기 곱셈기 276에서 $c_{1,N-3}$ 과 곱해져 상기 합산기 290으로 출력되고, 이러한 식으로 마지막 쉬프트 레지스터 268의 값 a_{N-1} 은 마지막 곱셈기 278에서 $c_{1,1}$ 과 곱해져 상기 합산기 290으로 출력된다.

<70> 상기 합산기 290은 상기 첫 번째 곱셈기 그룹 296으로부터의 곱들을 합산하여 그 결과를 S_1 의 첫 번째 원소 $s_{1,0}$ 으로 출력한다. 즉, 상기 $s_{1,0}$ 은 하기의 <수학식 15>와 같다.

<71> 【수학식 15】 $s_{1,0} = a_0 \cdot c_{1,0} + a_1 \cdot c_{1,N-1} + a_2 \cdot c_{1,N-2} + a_3 \cdot c_{1,N-3} + \dots + a_{N-1} \cdot c_{1,1}$

<72> 다음으로, 상기 쉬프트 레지스터 그룹 294에 저장된 값들은 왼쪽으로 하나씩 동시에 쉬프트되어, 상기 쉬프트 레지스터들 260, 262, 264, 266, 268은 $a_1, a_2, a_3, \dots, a_{N-1}, a_0$ 의 값들을 갖게 된다.

<73> 그러면, 상기 쉬프트 레지스터 260의 값 a_1 은 상기 곱셈기 270에서 $c_{1,0}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 262의 값 a_2 는 상기 곱셈기 272에서 $c_{1,N-1}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 264의 값 a_3 은 상기 곱셈기 274에서 $c_{1,N-2}$ 와 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 266의 값 a_4 는 상기 곱

셈기 276에서 $c_{1,N-3}$ 과 곱해져 상기 합산기 290으로 출력되고, 이러한 식으로 마지막 쉬프트 레지스터 268의 값 a_0 은 마지막 곱셈기 278에서 $c_{1,1}$ 과 곱해져 상기 합산기 290으로 출력된다.

<74> 상기 합산기 290은 상기 첫 번째 곱셈기 그룹 296으로부터의 곱들을 합산하여 그 결과를 S_1 의 두 번째 원소 $s_{1,1}$ 으로 출력한다. 즉, 상기 $s_{1,1}$ 은 하기의 <수학식 16>과 같다.

<75> **【수학식 16】** $s_{1,1} = a_1 \cdot c_{1,0} + a_2 \cdot c_{1,N-1} + a_3 \cdot c_{1,N-2} + a_4 \cdot c_{1,N-3} + \dots + a_0 \cdot c_{1,1}$

<76> 이상과 같은 상기 쉬프트 레지스터 그룹 294와 상기 첫 번째 곱셈기 그룹 296 및 상기 첫 번째 합산기 290의 동작은 상기 쉬프트 레지스터 그룹 204의 값들이 완전히 순환되도록 N번 반복되고, 마지막 쉬프트시 상기 쉬프트 레지스터 그룹 204의 쉬프트 레지스터들 260, 262, 264, 266, 268은 a_{N-1} , a_0 , a_1 , a_2 , ..., a_{N-2} 의 값들을 갖게 된다.

<77> 그러면, 상기 쉬프트 레지스터 260의 값 a_{N-1} 은 상기 곱셈기 270에서 $c_{1,0}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 262의 값 a_0 은 상기 곱셈기 272에서 $c_{1,N-1}$ 과 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 264의 값 a_1 은 상기 곱셈기 274에서 $c_{1,N-2}$ 와 곱해져 상기 합산기 290으로 출력되고, 상기 쉬프트 레지스터 266의 값 a_2 는 상기 곱셈기 276에서 $c_{1,N-3}$ 과 곱해져 상기 합산기 290으로 출력되고, 이러한 식으로 마지막 쉬프트 레지스터 268의 값 a_{N-2} 는 마지막 곱셈기 278에서 $c_{1,1}$ 과 곱해져 상기 합산기 290으로 출력된다.

<78> 상기 합산기 290은 상기 첫 번째 곱셈기 그룹 296으로부터의 곱들을 합하여 그 결과를 S_1 의 마지막 N 번째 원소 $s_{1,N-1}$ 로서 출력한다. 상기 $s_{1,N-1}$ 은 하기의 <수학식 17>과 같다.

<79> **【수학식 17】** $s_{1,N-1} = a_{N-1} \cdot c_{1,0} + a_0 \cdot c_{1,N-1} + a_1 \cdot c_{1,N-2} + a_2 \cdot c_{1,N-3} + \dots + a_{N-2} \cdot c_{1,1}$

<80> 이로써 상기 합산기 290은 출력 신호열 S_1 의 N개의 모든 원소들을 출력하게 된다.

- <81> 상기 마스크 시퀀스 M_1 을 가지고 출력 신호열 S_1 을 얻는 상기 동작은, 나머지 $U-1$ 개의 마스크 시퀀스들 M_2, M_3, \dots, M_U 를 가지고 대응하는 출력 신호열들 S_2, S_3, \dots, S_U 를 얻는 과정에도 동일하게 적용된다.
- <82> 이하 마지막 마스크 시퀀스 M_U 에 대하여 마지막 출력 신호열 S_U 를 얻는 동작을 설명한다. 여기서 상기 마지막 출력 신호열 S_U 는 하기의 <수학식 18>과 같다.
- <83> 【수학식 18】 $S_U = (s_{U,0}, s_{U,1}, s_{U,2}, s_{U,3}, \dots, s_{U,N-1})^T$
- <84> 마지막 곱셈기 그룹 298의 곱셈기들 280, 282, 284, 286, 288은 상기 쉬프트 레지스터 그룹 294로부터의 값들에 대하여, 마지막 마스크 시퀀스 M_U 에 대한 마스크 연산 행렬 $C_U = Q^{-1}M_U Q$ 의 첫 번째 행의 값들 $c_{U,0}, c_{U,N-1}, c_{U,N-2}, c_{U,N-3}, \dots, c_{U,1}$ 을 각각 곱하여 출력한다. 이후, N 회의 쉬프트 연산, 곱셈 연산, 합산 연산을 반복하면, 마지막 합산기 292는 최종적으로 N 개의 원소들을 가지는 상기 출력 신호열 S_U 를 출력한다.
- <85> 이상에서 상세히 설명한 동작에 의해 상기 마스크 연산 수행기 240은 원하는 출력 신호열들 $S_1, S_2, S_3, \dots, S_U$ 를 병렬로 출력한다.
- <86> 도 4는 본 발명에 따라 쉬프트 레지스터들을 이용한 마스크 연산 수행기 240 구성의 일 예를 나타낸 것이다. 여기에는 8비트의 입력 시퀀스에 대해 2개의 출력 신호열들을 생성하기 위한 간단한 구성을 도시하였다. ($N=8, U=2$) 즉, 도 2에서 마스크 생성기 230은 2개의 마스크 시퀀스들 M_1, M_2 를 발생시키고, 마스크 연산 수행기 240은 IFFT 220로부터의 입력 시퀀스와 상기 마스크 시퀀스들을 가지고 2개의 출력 신호열들 S_1, S_2 를 생성한다.

- <87> 상기 도 4를 참조하면, 마스크 연산 수행기 240은 8개의 쉬프트 레지스터들 300, 301, 302, 303, 304, 305, 306, 307과, 제1 출력 신호열 S_1 을 위한 제1 곱셈기들 310, 311, 312, 313, 314, 315, 316, 317과 제1 합산기 320, 제2 출력 신호열 S_2 를 위한 제2 곱셈기 330, 331, 332, 333, 334, 335, 336, 337과 제2 합산기 340으로 구성되어 있다.
- <88> 먼저 상기 마스크 연산 수행기 240의 입력 시퀀스 A를 하기의 <수학식 19>와 같이 표시한다. 여기서 X는 IFFT 220의 입력이다.
- <89> **【수학식 19】** $A = Q^{-1}X = (a_0, a_1, a_2, a_3, \dots, a_7)^T$
- <90> 상기 제1 곱셈기들 310 내지 317은 각각의 입력들에 대하여 하여 제1 마스크 시퀀스 M_1 에 대한 마스크 연산 행렬 C_1 의 첫 번째 행의 값들 $c_{1,0}, c_{1,7}, c_{1,6}, c_{1,5}, \dots, c_{1,1}$ 을 각각 곱하며, 상기 제1 합산기 320은 상기 제1 곱셈기들 310 내지 317로부터의 곱들을 합산하여 제1 출력 신호열 S_1 을 출력한다. 또한 상기 제2 곱셈기 330 내지 337은 각각의 입력들에 대하여 하여 제2 마스크 시퀀스 M_2 에 대한 마스크 연산 행렬 C_2 의 첫 번째 행의 값들 $c_{2,0}, c_{2,7}, c_{2,6}, c_{2,5}, \dots, c_{2,1}$ 을 각각 곱하며, 상기 제2 합산기 340은 상기 제2 곱셈기들 330 내지 337로부터의 곱들을 합산하여 제2 출력 신호열 S_2 를 출력한다. 그러면 상기 제1 및 제2 출력 신호열들 S_1, S_2 는 하기의 <수학식 20>과 같다.
- <91> **【수학식 20】** $S_1 = (s_{1,0}, s_{1,1}, s_{1,2}, s_{1,3}, \dots, s_{1,7})^T$
- <92> $S_2 = (s_{2,0}, s_{2,1}, s_{2,2}, s_{2,3}, \dots, s_{2,7})^T$
- <93> 보다 상세히 설명하면, 상기 마스크 연산 수행기 240은 하나의 입력 시퀀스 A에 대하여 8회의 동작을 반복한다.

<94> 쉬프트 레지스터들 300 내지 307이 각각 $a_0, a_1, a_2, a_3, \dots, a_7$ 로 초기화된 후, 먼저 상기 쉬프트 레지스터 300의 값 a_0 은 상기 제1 곱셈기 310에서 $c_{1,0}$ 과 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 301의 값 a_1 은 상기 제1 곱셈기 311에서 $c_{1,7}$ 과 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 302의 값 a_2 는 상기 제1 곱셈기 312에서 $c_{1,6}$ 과 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 303의 값 a_3 은 상기 제1 곱셈기 313에서 $c_{1,5}$ 와 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 304의 값 a_4 는 상기 제1 곱셈기 314에서 $c_{1,4}$ 와 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 305의 값 a_5 는 상기 제1 곱셈기 315에서 $c_{1,3}$ 과 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 306의 값 a_6 은 상기 제1 곱셈기 316에서 $c_{1,2}$ 와 곱해져 상기 제1 합산기 320으로 출력되고, 상기 쉬프트 레지스터 307의 값 a_7 은 상기 제1 곱셈기 317에서 $c_{1,1}$ 과 곱해져 상기 제1 합산기 320에 출력된다.

<95> 상기 제1 합산기 320은 상기 제1 곱셈기들 310 내지 317로부터의 곱들을 합산하여 그 결과를 제1 출력 신호열 S_1 의 첫 번째 원소 $s_{1,0}$ 으로 출력한다. 상기 $s_{1,0}$ 은 하기의 <수학식 21>과 같다.

<96> **【수학식 21】**
$$s_{1,0} = a_0 \cdot c_{1,0} + a_1 \cdot c_{1,7} + a_2 \cdot c_{1,6} + a_3 \cdot c_{1,5} + \dots + a_7 \cdot c_{1,1}$$

<97> 동시에 상기 쉬프트 레지스터 300의 값 a_0 은 상기 제2 곱셈기 330에서 $c_{2,0}$ 과 곱해져 상기 제2 합산기 340으로 출력되고, 상기 쉬프트 레지스터 301의 값 a_1 은 상기 제2 곱셈기 331에서 $c_{2,7}$ 과 곱해져 상기 제2 합산기 340으로 출력되고, 상기 쉬프트 레지스터 302의 값 a_2 는 상기 제2 곱셈기 332에서 $c_{2,6}$ 과 곱해져 상기 제2 합산기 340으로 출력되고, 상기 쉬프트 레지스터 303의 값 a_3 은 상기 제2 곱셈기 333에서 $c_{2,5}$ 와 곱해져 상기 제2 합산기 340으로 출력되고, 상기

쉬프트 레지스터 304의 값 a_4 는 상기 제2 곱셈기 334에서 $c_{2,4}$ 와 곱해져 상기 제2 합산기 340으로 출력되고, 상기 쉬프트 레지스터 305의 값 a_5 는 상기 제2 곱셈기 335에서 $c_{2,3}$ 과 곱해져 상기 제2 합산기 340으로 출력되고, 상기 쉬프트 레지스터 306의 값 a_6 은 상기 제2 곱셈기 336에서 $c_{2,2}$ 와 곱해져 상기 제2 합산기 340에 출력되고, 상기 쉬프트 레지스터 307의 값 a_7 은 상기 제2 곱셈기 337에서 $c_{2,1}$ 과 곱해져 상기 제2 합산기 340으로 출력된다.

<98> 상기 제2 합산기 340은 상기 제2 곱셈기들 330 내지 337로부터의 곱들을 합산하여 그 결과를 제2 출력 신호열 S_2 의 첫 번째 원소 $s_{2,0}$ 으로 출력한다. 상기 $s_{2,0}$ 은 하기의 <수학식 22>와 같다.

<99> **【수학식 22】** $s_{2,0} = a_0 \cdot c_{2,0} + a_1 \cdot c_{2,7} + a_2 \cdot c_{2,6} + a_3 \cdot c_{2,5} + \dots + a_7 \cdot c_{2,1}$

<100> 다음으로, 상기 쉬프트 레지스터들 300 내지 307은 각각 그 값을 왼쪽으로 하나씩 동시에 쉬프트 하여 $a_1, a_2, a_3, \dots, a_7, a_0$ 의 값들을 갖게 된다. 상기 쉬프트된 값들에 대하여 상기 곱셈기들과 상기 합산기들은 앞서 언급한 바와 같은 동작을 수행하여 상기 제1 출력 신호열 S_1 과 상기 제2 출력 신호열 S_2 의 두 번째 원소들 $s_{1,1}$ 과 $s_{2,1}$ 을 출력한다.

<101> 이상과 같은 동작을 8회 반복하면 최종 출력 신호열들 S_1, S_2 는 하기의 <수학식 23>과 같다.

<102> **【수학식 23】** $S_1:$

<103> $s_{1,0} = a_0 \cdot c_{1,0} + a_1 \cdot c_{1,7} + a_2 \cdot c_{1,6} + a_3 \cdot c_{1,5} + a_4 \cdot c_{1,4} + a_5 \cdot c_{1,3} + a_6 \cdot c_{1,2} + a_7 \cdot c_{1,1}$

<104> $s_{1,1} = a_1 \cdot c_{1,0} + a_2 \cdot c_{1,7} + a_3 \cdot c_{1,6} + a_4 \cdot c_{1,5} + a_5 \cdot c_{1,4} + a_6 \cdot c_{1,3} + a_7 \cdot c_{1,2} + a_0 \cdot c_{1,1}$

<105> $s_{1,2} = a_2 \cdot c_{1,0} + a_3 \cdot c_{1,7} + a_4 \cdot c_{1,6} + a_5 \cdot c_{1,5} + a_6 \cdot c_{1,4} + a_7 \cdot c_{1,3} + a_0 \cdot c_{1,2} + a_1 \cdot c_{1,1}$

<106> $s_{1,3} = a_3 \cdot c_{1,0} + a_4 \cdot c_{1,7} + a_5 \cdot c_{1,6} + a_6 \cdot c_{1,5} + a_7 \cdot c_{1,4} + a_0 \cdot c_{1,3} + a_1 \cdot c_{1,2} + a_2 \cdot c_{1,1}$

<107> $s_{1,4} = a_4 \cdot c_{1,0} + a_5 \cdot c_{1,7} + a_6 \cdot c_{1,6} + a_7 \cdot c_{1,5} + a_0 \cdot c_{1,4} + a_1 \cdot c_{1,3} + a_2 \cdot c_{1,2} + a_3 \cdot c_{1,1}$

$$<108> \quad s_{1,5} = a_5 \cdot c_{1,0} + a_6 \cdot c_{1,7} + a_7 \cdot c_{1,6} + a_0 \cdot c_{1,5} + a_1 \cdot c_{1,4} + a_2 \cdot c_{1,3} + a_3 \cdot c_{1,2} + a_4 \cdot c_{1,1}$$

$$<109> \quad s_{1,6} = a_6 \cdot c_{1,0} + a_7 \cdot c_{1,7} + a_0 \cdot c_{1,6} + a_1 \cdot c_{1,5} + a_2 \cdot c_{1,4} + a_3 \cdot c_{1,3} + a_4 \cdot c_{1,2} + a_5 \cdot c_{1,1}$$

$$<110> \quad s_{1,7} = a_7 \cdot c_{1,0} + a_0 \cdot c_{1,7} + a_1 \cdot c_{1,6} + a_2 \cdot c_{1,5} + a_3 \cdot c_{1,4} + a_4 \cdot c_{1,3} + a_5 \cdot c_{1,2} + a_6 \cdot c_{1,1}$$

$$<111> \quad S_2:$$

$$<112> \quad s_{2,0} = a_0 \cdot c_{2,0} + a_1 \cdot c_{2,7} + a_2 \cdot c_{2,6} + a_3 \cdot c_{2,5} + a_4 \cdot c_{2,4} + a_5 \cdot c_{2,3} + a_6 \cdot c_{2,2} + a_7 \cdot c_{2,1}$$

$$<113> \quad s_{2,1} = a_1 \cdot c_{2,0} + a_2 \cdot c_{2,7} + a_3 \cdot c_{2,6} + a_4 \cdot c_{2,5} + a_5 \cdot c_{2,4} + a_6 \cdot c_{2,3} + a_7 \cdot c_{2,2} + a_0 \cdot c_{2,1}$$

$$<114> \quad s_{2,2} = a_2 \cdot c_{2,0} + a_3 \cdot c_{2,7} + a_4 \cdot c_{2,6} + a_5 \cdot c_{2,5} + a_6 \cdot c_{2,4} + a_7 \cdot c_{2,3} + a_0 \cdot c_{2,2} + a_1 \cdot c_{2,1}$$

$$<115> \quad s_{2,3} = a_3 \cdot c_{2,0} + a_4 \cdot c_{2,7} + a_5 \cdot c_{2,6} + a_6 \cdot c_{2,5} + a_7 \cdot c_{2,4} + a_0 \cdot c_{2,3} + a_1 \cdot c_{2,2} + a_2 \cdot c_{2,1}$$

$$<116> \quad s_{2,4} = a_4 \cdot c_{2,0} + a_5 \cdot c_{2,7} + a_6 \cdot c_{2,6} + a_7 \cdot c_{2,5} + a_0 \cdot c_{2,4} + a_1 \cdot c_{2,3} + a_2 \cdot c_{2,2} + a_3 \cdot c_{2,1}$$

$$<117> \quad s_{2,5} = a_5 \cdot c_{2,0} + a_6 \cdot c_{2,7} + a_7 \cdot c_{2,6} + a_0 \cdot c_{2,5} + a_1 \cdot c_{2,4} + a_2 \cdot c_{2,3} + a_3 \cdot c_{2,2} + a_4 \cdot c_{2,1}$$

$$<118> \quad s_{2,6} = a_6 \cdot c_{2,0} + a_7 \cdot c_{2,7} + a_0 \cdot c_{2,6} + a_1 \cdot c_{2,5} + a_2 \cdot c_{2,4} + a_3 \cdot c_{2,3} + a_4 \cdot c_{2,2} + a_5 \cdot c_{2,1}$$

$$<119> \quad s_{2,7} = a_7 \cdot c_{2,0} + a_0 \cdot c_{2,7} + a_1 \cdot c_{2,6} + a_2 \cdot c_{2,5} + a_3 \cdot c_{2,4} + a_4 \cdot c_{2,3} + a_5 \cdot c_{2,2} + a_6 \cdot c_{2,1}$$

<120> 즉, 상기 제1 및 제2 출력 신호열들은 하기의 <수학식 24>와 같다.

$$<121> \quad \text{【수학식 24】} \quad S_1 = (s_{1,0}, s_{1,1}, s_{1,2}, s_{1,3}, \dots, s_{1,7})^T$$

$$<122> \quad = \begin{bmatrix} c_{1,0} & c_{1,7} & c_{1,6} & c_{1,5} & c_{1,4} & c_{1,3} & c_{1,2} & c_{1,1} \\ c_{1,1} & c_{1,0} & c_{1,7} & c_{1,6} & c_{1,5} & c_{1,4} & c_{1,3} & c_{1,2} \\ c_{1,2} & c_{1,1} & c_{1,0} & c_{1,7} & c_{1,6} & c_{1,5} & c_{1,4} & c_{1,3} \\ c_{1,3} & c_{1,2} & c_{1,1} & c_{1,0} & c_{1,7} & c_{1,6} & c_{1,5} & c_{1,4} \\ c_{1,4} & c_{1,3} & c_{1,2} & c_{1,1} & c_{1,0} & c_{1,7} & c_{1,6} & c_{1,5} \\ c_{1,5} & c_{1,4} & c_{1,3} & c_{1,2} & c_{1,1} & c_{1,0} & c_{1,7} & c_{1,6} \\ c_{1,6} & c_{1,5} & c_{1,4} & c_{1,3} & c_{1,2} & c_{1,1} & c_{1,0} & c_{1,7} \\ c_{1,7} & c_{1,6} & c_{1,5} & c_{1,4} & c_{1,3} & c_{1,2} & c_{1,1} & c_{1,0} \end{bmatrix} \cdot \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \\ a_4 \\ a_5 \\ a_6 \\ a_7 \end{bmatrix}$$

$$<123> \quad S_2 = (s_{2,0}, s_{2,1}, s_{2,2}, s_{2,3}, \dots, s_{2,7})^T$$

$$\begin{aligned} <124> \\ &= \begin{bmatrix} c_{2,0} & c_{2,7} & c_{2,6} & c_{2,5} & c_{2,4} & c_{2,3} & c_{2,2} & c_{2,1} \\ c_{2,1} & c_{2,0} & c_{2,7} & c_{2,6} & c_{2,5} & c_{2,4} & c_{2,3} & c_{2,2} \\ c_{2,2} & c_{2,1} & c_{2,0} & c_{2,7} & c_{2,6} & c_{2,5} & c_{2,4} & c_{2,3} \\ c_{2,3} & c_{2,2} & c_{2,1} & c_{2,0} & c_{2,7} & c_{2,6} & c_{2,5} & c_{2,4} \\ c_{2,4} & c_{2,3} & c_{2,2} & c_{2,1} & c_{2,0} & c_{2,7} & c_{2,6} & c_{2,5} \\ c_{2,5} & c_{2,4} & c_{2,3} & c_{2,2} & c_{2,1} & c_{2,0} & c_{2,7} & c_{2,6} \\ c_{2,6} & c_{2,5} & c_{2,4} & c_{2,3} & c_{2,2} & c_{2,1} & c_{2,0} & c_{2,7} \\ c_{2,7} & c_{2,6} & c_{2,5} & c_{2,4} & c_{2,3} & c_{2,2} & c_{2,1} & c_{2,0} \end{bmatrix} \cdot \begin{bmatrix} a_0 \\ a_1 \\ a_2 \\ a_3 \\ a_4 \\ a_5 \\ a_6 \\ a_7 \end{bmatrix} \end{aligned}$$

<125> 한편 본 발명의 상세한 설명에서는 구체적인 실시예에 관해 설명하였으나, 본 발명의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 그러므로 본 발명의 범위는 설명된 실시예에 국한되지 않으며, 후술되는 특허청구의 범위뿐만 아니라 이 특허청구의 범위와 균등한 것들에 의해 정해져야 한다.

【발명의 효과】

<126> 이상에서 상세히 설명한 바와 같이 동작하는 본 발명에 있어서, 개시되는 발명중 대표적인 것에 의하여 얻어지는 효과를 간단히 설명하면 다음과 같다.

<127> 본 발명은, OFDM 시스템에서 SLM 방식으로 PAPR을 저감할 때에 U개의 IFFT들을 병렬로 사용하는 대신 쉬프트 레지스터들을 이용하여 하나의 IFFT를 공유하도록 구성함으로써, OFDM 송신기 시스템의 복잡도와 구현 비용을 줄일 수 있는 효과가 있다.

【특허청구범위】

【청구항 1】

입력 신호블럭을 복수의 마스크 시퀀스들로 마스크한 후 역 고속 푸리에 변환한 복수의 결과들 중 최소의 첨두대평균 전력 비를 가지는 결과를 선택하는 직교주파수분할다중화(OFDM) 통신 시스템의 송신기에 있어서,

상기 입력 신호블럭을 역 고속 푸리에 변환하여 역 고속 푸리에 변환(IFFT)된 시퀀스를 출력하는 하나의 역 고속 푸리에 변환기와,

상기 역 고속 푸리에 변환된 시퀀스의 비트들을 각각 저장하고 순환 쉬프트시키면서 출력하는 쉬프트 레지스터들과,

상기 마스크 시퀀스들 각각에 대하여, 해당하는 마스크 시퀀스에 따라 정해지는 계수들을 상기 쉬프트 레지스터들로부터 출력되는 비트들에 각각 곱하는 복수의 곱셈기 그룹들과,

상기 복수의 곱셈기 그룹들로부터의 곱셈결과들을 합산하여 출력하는 상기 복수의 곱셈기 그룹들 각각에 대응하는 복수의 합산기들을 포함하여 구성되는 것을 특징으로 하는 송신기.

【청구항 2】

제 1 항에 있어서, 상기 계수들은 하기의 수학식에 의해 정해지는 것을 특징으로 하는 송신기.

$$c_{p,q} = \frac{1}{N} \sum_{i=0}^{N-1} m_{p,i} \cdot e^{j(2\pi/N) \cdot i \cdot q}$$

여기서 상기 $c_{p,q}$ 은 p번째 마스크 시퀀스에 따라 정해지는 마스크 연산 행렬 c_p 의 q번째 계수이며, 상기 N은 상기 입력 신호블럭의 크기이고, 상기 $m_{p,i}$ 는 p번째 마스크 시퀀스의 i번째 비

트이고, 상기 e는 자연로그임.

【청구항 3】

제 1 항에 있어서, 상기 복수의 곱셈기 그룹들은,

상기 쉬프트 레지스터들의 개수만큼의 곱셈기들로 각각 구성되는 것을 특징으로 하는 송신기.

【청구항 4】

제 1 항에 있어서, 상기 쉬프트 레지스터들은,

상기 역 고속 푸리에 변환된 시퀀스의 비트들이 완전히 순환될 때까지 상기 역 고속 푸리에 변환된 시퀀스의 비트들을 쉬프트시키는 것을 특징으로 하는 송신기.

【청구항 5】

입력 신호블럭을 복수의 마스크 시퀀스들로 마스킹한 후 역 고속 푸리에 변환한 복수의 결과들 중 최소의 첨두대평균 전력 비를 가지는 결과를 선택하는 직교주파수분할다중화(OFDM) 통신 시스템의 송신 방법에 있어서,

상기 입력 신호블럭을 역 고속 푸리에 변환하여 역 고속 푸리에 변환(IFFT)된 시퀀스를 출력하는 과정과,

상기 마스크 시퀀스들 각각에 대하여, 해당하는 마스크 시퀀스에 따라 정해지는 계수들을 상기 역 고속 푸리에 변환된 시퀀스의 비트들에 각각 곱하고, 상기 곱셈결과들을 합산하는 과정과,

상기 역 고속 푸리에 변환된 비트들을 순환 쉬프트시키면서 상기 곱하고 합산하는 과정을 반복하는 과정을 포함하여 구성되는 것을 특징으로 하는 송신기.

【청구항 6】

제 5 항에 있어서, 상기 계수들은 하기의 수학식에 의해 정해지는 것을 특징으로 하는 방법.

$$c_{p,q} = \frac{1}{N} \sum_{i=0}^{N-1} m_{p,i} \cdot e^{j(2\pi/N) \cdot i \cdot q}$$

여기서 상기 $c_{p,q}$ 은 p번째 마스크 시퀀스에 따라 정해지는 마스크 연산 행렬 c_p 의 q번째 계수이며, 상기 N은 상기 입력 신호블럭의 크기이고, 상기 $m_{p,i}$ 는 p번째 마스크 시퀀스의 i번째 비트이고, 상기 e는 자연로그임.

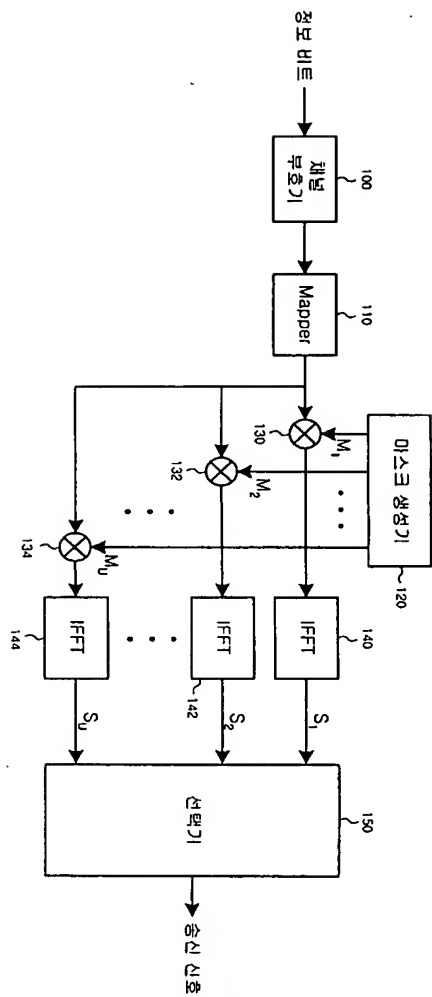
【청구항 7】

제 5 항에 있어서, 상기 반복하는 과정은,

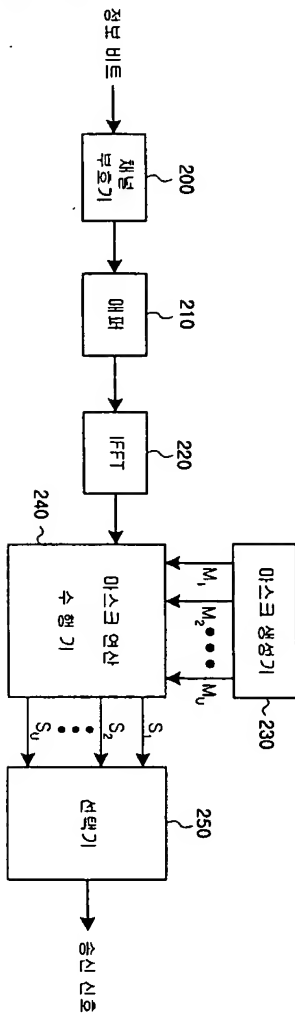
상기 역 고속 푸리에 변환된 시퀀스의 비트들이 완전히 순환될 때까지 상기 곱하고 상기 합산하는 과정을 반복하는 것을 특징으로 하는 방법.

【도면】

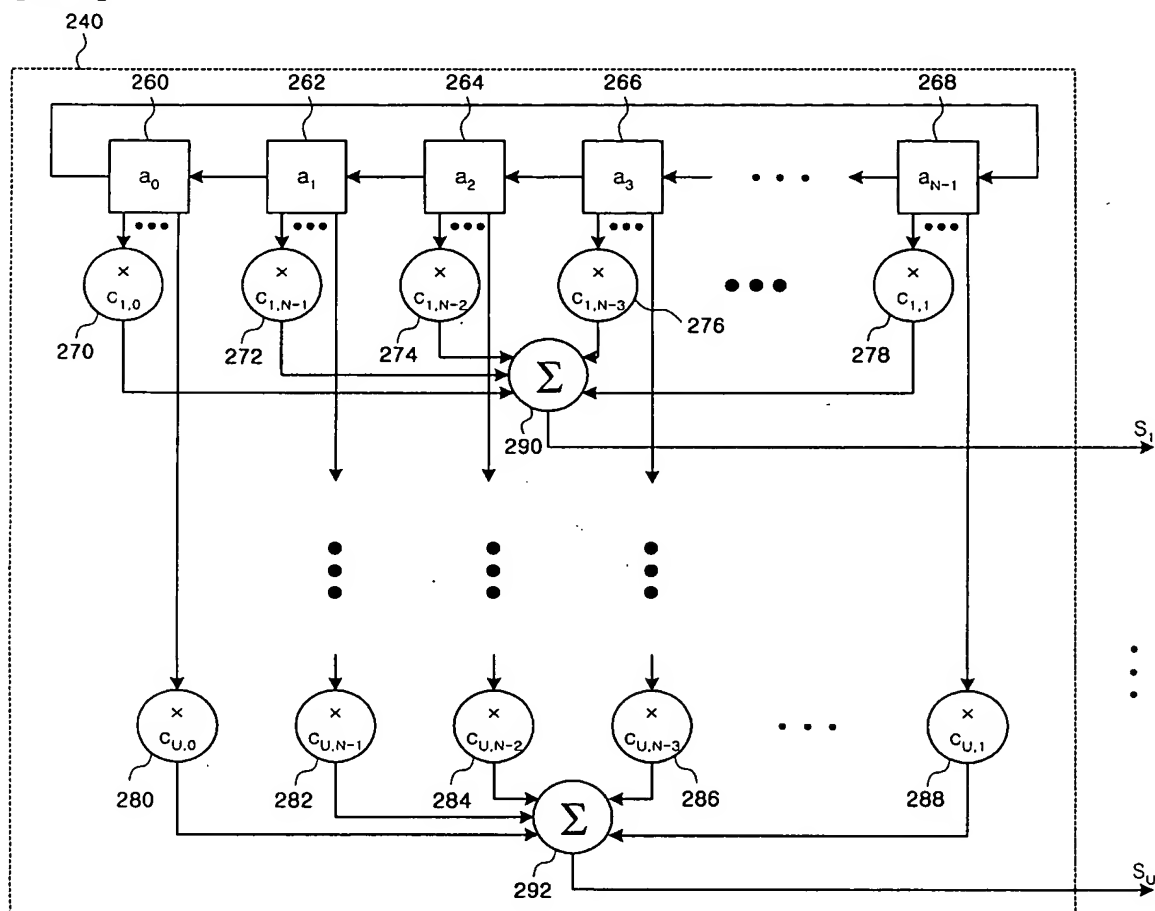
【도 1】



【도 2】



【도 3】



【도 4】

